

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-12746

(43) 公開日 平成10年(1998) 1月16日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8238		H 0 1 L 27/08	3 2 1 H
	27/092		27/04	H
	27/04		29/78	3 0 1 K
	21/822			3 0 1 S
	29/78			

審査請求 有 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平8-164425

(22) 出願日 平成8年(1996) 6月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 高山 正二

東京都港区芝五丁目7番1号 日本電気株式会社内

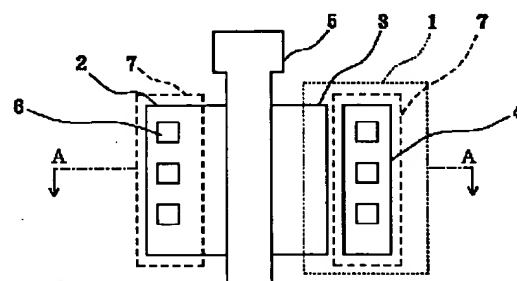
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 半導体装置

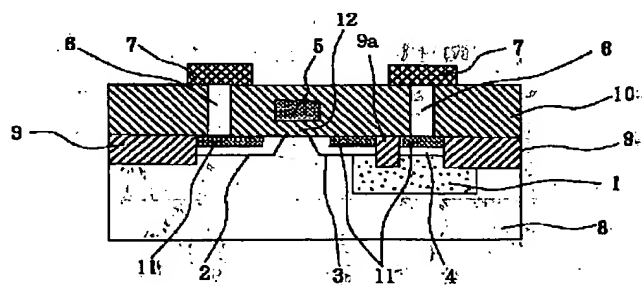
(57) 【要約】

【課題】 静電気パルスによる熱破壊が防止され且つ集積度の高い半導体装置を提供する。

【解決手段】 一導電型半導体基板上にゲート電極を有し、該ゲート電極の両側の前記半導体基板表面に該半導体基板と反対導電型のソース・ドレイン不純物拡散層を有し、これらソース・ドレイン不純物拡散層の少なくとも一方の電極取出部が、ソース・ドレイン不純物拡散層と同一導電型で低濃度の不純物拡散層を介して設けられている半導体装置。



(a)



(b)

(2)

1

【特許請求の範囲】

【請求項1】 一導電型半導体基板上にゲート電極を有し、該ゲート電極の両側の前記半導体基板表面に該半導体基板と反対導電型のソース・ドレイン不純物拡散層を有し、これらソース・ドレイン不純物拡散層の少なくとも一方の電極取出部が、ソース・ドレイン不純物拡散層と同一導電型で低濃度の不純物拡散層を介して設けられていることを特徴とする半導体装置。

【請求項2】 ソース・ドレイン不純物拡散層の表面に高融点金属シリサイド層が形成されている請求項1記載の半導体装置。

【請求項3】 請求項1又は2記載のMOS型半導体装置を有するCMOS型半導体装置であって、前記MOS型半導体装置のソース・ドレイン不純物拡散層とその電極取出部間に配設された低濃度の不純物拡散層の不純物濃度および導電型が、前記MOS型半導体装置と反対導電型のMOS型半導体装置の基板電極用不純物拡散層の不純物濃度および導電型とそれぞれ同一であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特に静電破壊耐性を改善したMOSトランジスタ及び該トランジスタを含む半導体装置に関する。

【0002】

【従来の技術】 半導体集積回路装置の製造における近年の微細加工技術の進歩はめざましい。特にMOSトランジスタの微細化技術の進歩は顕著であり、現在の先端技術ではチャンネル長 $0.5\mu\text{m}$ 以下のいわゆるディープサブミクロン時代に突入している。

【0003】 サブミクロン以下の微細MOSトランジスタを含む半導体集積回路装置では、微細化に伴う寄生抵抗の低減のために、ソース・ドレインを形成する不純物拡散層の表面に、高融点金属シリサイド層を形成する技術が主流となっている。高融点金属シリサイド層を形成することで、ソース・ドレインのシート抵抗を $100\Omega/\square$ 程度から $10\Omega/\square$ 程度以下まで低減することができる。寄生抵抗を低減することでMOSトランジスタのスイッチングスピードを向上させることができるため、積極的に高融点金属シリサイド層が活用されているのが現状である。

【0004】 しかしながら、ソース・ドレインの寄生抵抗を低減させることは、半導体集積回路装置の入出力部に配置され外部からの静電気破壊保護に使用されるMOSトランジスタにおいては、かえってその耐性（静電気破壊耐性）を低下させるという弊害をもたらす。この耐性が低下する原因は、寄生抵抗が減少することで、静電気パルスが加わった場合の放電電流が抑制されることなく大きな値となってMOSトランジスタ部を流れ、熱破壊が生じてしまうことにある。

2

【0005】 以下、この熱破壊が生じる原因および従来技術による解決手段について図面を用いて説明する。図3はNチャネルMOSトランジスタを静電気保護用に入力部に用いた場合の回路図、図4(a)は従来技術による解決手段を示したNチャネルMOSトランジスタのレイアウト平面図、図4(b)は図4(a)のB-B線断面図である。なお、図4(a)は基板等を省略している。

【0006】 まず、静電気パルスにより熱破壊が生じる原因について図3及び図4を用いて説明する。図3においてNチャネルMOSトランジスタ(23)のゲート電極・ソース電極・基板電極は接地端子(24)に接続され、ドレイン電極は入力端子(21)に接続されている。NPN寄生バイポーラトランジスタ(25)は、NチャネルMOSトランジスタ(23)のソース電極・ドレイン電極を形成するN型不純物拡散層とP型基板電極により寄生的に構成されるラテラルNPNバイポーラトランジスタである。

【0007】 通常の使用状態では、NチャネルMOSトランジスタ(23)はオフ状態であり、入力端子(21)に入力された信号はそのまま出力端子(22)へ伝搬され更にその先の内部回路へ伝搬される。入力端子(21)に、接地端子(24)に対して負極性の静電気パルスが印加された場合は、NチャネルMOSトランジスタ(23)のN型ドレイン電極とP型基板電極間で形成されるPN接合ダイオードが順バイアスされて放電し、これにより内部回路が保護される。その際、放電が起こるPN接合ダイオードには順方向電流が流れるだけなので電位差が少なく発熱量も少ないため、熱破壊による静電気耐性の低下が問題になることは少ない。一方、接地端子(24)に対して正極の静電気パルスが加わった場合は、まずNチャネルMOSトランジスタ(23)のN型ドレイン電極(コレクタ)とP型基板電極(ベース)間で形成されるPN接合ダイオードが逆バイアスされブレイクダウンが生じる。このブレイクダウン電流が流れると、P型シリコン基板の寄生抵抗のためにP型基板電極(ベース)と接地端子(エミッタ)間PN接合が順バイアスされNPN寄生バイポーラトランジスタ(25)がターンオンする。NPN寄生バイポーラトランジスタがターンオンすることで入力端子(21)に印加された静電気パルスが接地端子(24)へ放電され、内部回路が保護されている。

【0008】 ここで問題となるのはNPN寄生バイポーラトランジスタの動作である。一般にオン状態のバイポーラトランジスタは、温度上昇とともにコレクタ電流が増加するという特性を持っており、放電電流が大きくなると温度上昇が起こり更に電流が流れ易くなる。つまり正帰還がかかったことになり、結果的に熱暴走・熱破壊に至る。このような寄生バイポーラトランジスタの熱暴走による熱破壊は、高融点金属シリサイド層を使用せず

(3)

3

寄生抵抗が比較的大きかったチャネル長 $1\ \mu\text{m}$ 以上の時代では、NPN寄生バイポーラトランジスタのコレクタ電流が寄生抵抗で抑制されていたために表面化してこなかった問題である。

【0009】このような問題を解決する手段として、従来は、ソース・ドレイン部の抵抗シート数やレイアウトパターンを工夫し寄生抵抗値を故意に増加させることで静電気耐性を高めるという方法が考えられていた（例えば特開平6-84941号公報）。

【0010】図4(a)は、その従来技術の一例を示すNチャネルMOSトランジスタのレイアウト平面図であり、図4(b)は図4(a)のB-B線断面図である。P型シリコン基板(8)上にゲート絶縁膜(12)を介してNチャネルMOSトランジスタゲート電極(5)が形成され、その両側にはP型シリコン基板とは反対導電型のN型ソース拡散層(2)及びN型ドレイン拡散層

(3)が配設されており、その表面には高融点金属シリサイド層(11)がそれぞれ形成されている。ソース・ドレイン電極は埋込コンタクト孔(6)及び金属配線(7)を介して外部に接続される。他のMOSトランジスタとの絶縁は素子分離用絶縁膜(9)により行われ、金属配線間の絶縁は配線層間絶縁膜(10)によって行われている。静電気パルス印加時の熱破壊に対処するために、図4(a)に示すようなクビレ領域(31)が設けられている。このクビレ領域による抵抗値の増大によって、NチャネルMOSトランジスタ部への過大な放電電流が抑制される。

【0011】

【発明が解決しようとする課題】しかしながら上記従来の技術では、静電気パルスによる熱破壊を防止するのに必要なソース・ドレイン部の抵抗値を増大させるためには、大きな面積を必要とし集積度が低下するという問題があった。これは、ソース・ドレイン部のクビレ領域のシート抵抗が低く、所望の抵抗値を得るにはクビレ領域を長くしなければならないためである。

【0012】そこで本発明の目的は、静電気パルスによる熱破壊が防止され（静電破壊耐性が改善され）且つ集積度の高い半導体装置および該半導体装置を含む半導体集積回路装置を提供することである。

【0013】

【課題を解決するための手段】本発明者は、上記の目的を達成するために種々の検討を重ねた結果、本発明を完成した。

【0014】第1の発明は、一導電型半導体基板上にゲート電極を有し、該ゲート電極の両側の前記半導体基板表面に該半導体基板と反対導電型のソース・ドレイン不純物拡散層を有し、これらソース・ドレイン不純物拡散層の少なくとも一方の電極取出部が、ソース・ドレイン不純物拡散層と同一導電型で低濃度の不純物拡散層を介して設けられていることを特徴とする半導体装置に関す

4

る。

【0015】第2の発明は、ソース・ドレイン不純物拡散層の表面に高融点金属シリサイド層が形成されている第1の発明の半導体装置に関する。

【0016】第3の発明は、第1又は第2の発明のMOS型半導体装置を有するCMOS型半導体装置であって、前記MOS型半導体装置のソース・ドレイン不純物拡散層とその電極取出部に配設された低濃度の不純物拡散層の不純物濃度および導電型が、前記MOS型半導体装置と反対導電型のMOS型半導体装置の基板電極用不純物拡散層の不純物濃度および導電型とそれぞれ同一であることを特徴とする半導体装置に関する。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面を用いて説明する。

【0018】実施形態1

図1(a)は、本発明の半導体装置の一実施形態であるNチャネルMOSトランジスタのレイアウト平面図であり、図1(b)は、図1(a)のA-A線断面図である。なお、図1(a)は基板等を省略している。P型シリコン基板(8)上にゲート絶縁膜(12)を介してNチャネルMOSトランジスタゲート電極(5)が形成され、その両側にはP型シリコン基板とは反対導電型のN型ソース拡散層(2)及びN型ドレイン拡散層(3)が配設されており、その表面には高融点金属シリサイド層(11)がそれぞれ形成されている。ソース・ドレイン電極は埋込コンタクト孔(6)及び金属配線(7)を介して外部に接続される。他のMOSトランジスタとの絶縁は素子分離用絶縁膜(9)により行われ、金属配線間の絶縁は配線層間絶縁膜(10)によって行われている。静電気パルス印加時の熱破壊に対処するために、N型低濃度不純物拡散層(1)が、素子分離用絶縁膜(9a)を介して形成されているN型ドレイン拡散層(3)とドレイン電極取出用N型拡散層(4)間に設けられている。

【0019】次に、本実施形態の動作を、図1に示したNチャネルMOSトランジスタを図3に示す入力保護回路に使用した場合について説明する。まず、接地端子(24)に対して負極の静電気パルスが入力端子(21)に印加されると、P型シリコン基板(8)、N型低濃度不純物拡散層(1)及びN型ドレイン拡散層(3)により構成されるPN接合ダイオードが順バイアスされ放電し内部回路が保護される。一方、接地端子に対して正極の静電気パルスが入力端子に加わった場合は、まずNチャネルMOSトランジスタのN型ドレイン電極(コレクタ)とP型基板電極(ベース)間で形成されるPN接合ダイオードが逆バイアスされブレイクダウンが生じる。このブレイクダウン電流が流れると、P型シリコン基板の寄生抵抗のためにP型基板電極(ベース)と接地端子(エミッタ)間PN接合が順バイアスされNPN寄

(4)

5

生バイポーラトランジスタ(25)がターンオンする。このNPN寄生バイポーラトランジスタがターンオンすることで入力端子に印加された静電気パルスが接地端子に放電され内部回路が保護される。その際、静電気放電電流は、図1(b)に示されるようにN型低濃度不純物拡散層(1)を介して流れるため寄生NPNバイポーラトランジスタの熱暴走を防止でき熱破壊が生じない。N型低濃度不純物拡散層を設けることによりドレイン部の抵抗値の増大を行っているため、非常に小さい面積で熱破壊の防止ができる。ここではNチャネルMOSトランジスタの例を説明したが導電型を全く反対にしたPチャネルMOSトランジスタの場合でも同様の効果を発揮する。

【0020】実施形態2

次に、本発明の第2の実施形態について図2を用いて説明する。図2は本発明をCMOS型半導体装置に適用した一例の断面図である。P型シリコン基板(8)上にゲート絶縁膜(12)を介してNチャネルMOSトランジスタゲート電極(5)が形成されている。N型ウェル(15)領域上にはゲート絶縁膜(12)を介してPチャネルMOSトランジスタゲート電極(16)が形成されている。NチャネルMOSトランジスタゲート電極(5)の両側にはP型シリコン基板とは反対導電型のN型ソース拡散層(2)とN型ドレイン拡散層(3)が配設されており、その上面には高融点金属シリサイド層(11)が形成されている。PチャネルMOSトランジスタゲート電極(16)の両側にはN型ウェルとは反対導電型のP型ソース拡散層(13)とP型ドレイン拡散層(14)が配設されており、その表面には高融点金属シリサイド層(11)それぞれが形成されている。ソース・ドレイン電極は埋込コンタクト孔(6)及び金属配線(70)を介して外部と接続される。他のMOSトランジスタとの絶縁は素子分離用絶縁膜(9)により行われ、金属配線間の絶縁は配線層間絶縁膜(10)によって行われている。

【0021】本実施形態の特徴は、実施形態1の特徴の他、N型低濃度不純物拡散層(1)の不純物濃度が、PチャネルMOSトランジスタを構成するN型ウェル(15)と同一の不純物濃度であることである。つまり、P型シリコン基板を用いたCMOS型半導体装置では必須のN型ウェル(基板電極用不純物拡散層)を形成すると同時にN型低濃度不純物拡散層を形成することができる。したがって、製造工程を増加させることなく所望の半導体装置を製造できる。

【0022】本実施形態ではP型シリコン基板を用いたCMOS型半導体集積回路装置の例を示したが、N型シリコン基板を用い、P型ウェルを形成すると同時にPチャネルMOSトランジスタのソース・ドレイン拡散層とソース・ドレイン電極取出部間にP型低濃度不純物拡散層を形成することも同様に可能である。

6

【0023】さらに、PチャネルMOSトランジスタ及びNチャネルMOSトランジスタ双方をウェル領域上に形成する場合は、双方のMOSトランジスタのソース・ドレイン拡散層とソース・ドレイン電極取出部間に低濃度不純物拡散層をウェルの形成と同時に形成でき、製造工程を増加することなく所望の半導体装置を作製することができる。

【0024】

【実施例】前述の実施形態1の具体的数値及び材料について説明し、さらにその場合の効果について説明する。

【0025】ゲート電極のチャネル長は $0.25\mu\text{m}$ 、ゲート絶縁膜は膜厚 60\AA のシリコン酸化膜、P型シリコン基板の不純物濃度は $1\times 10^{17}\text{atom}/\text{cm}^3$ 、N型ソース拡散層、N型ドレイン拡散層およびドレイン電極取出用N型拡散層の不純物濃度は $1\times 10^{20}\text{atom}/\text{cm}^3$ 、N型低濃度不純物拡散層の不純物濃度は $1\times 10^{17}\text{atom}/\text{cm}^3$ で基板表面から深さ $1\mu\text{m}$ としてMOSトランジスタを構成した。金属配線としてはAlとCuの合金を採用し、埋め込みコンタクト孔にはWを埋め込み、高融点金属シリサイド層としてはチタンシリサイド層を採用した。

【0026】静電気パルスが印加された場合の動作は、前述の実施形態1で説明したとおりである。N型低濃度不純物拡散層のシート抵抗値は約 500Ω であった。また、MIL-STD-883に準じた静電気破壊試験を実施した結果、ゲート電極端と埋込コンタクト孔端との間隔をわずか $2.4\mu\text{m}$ で形成したチャネル幅 $40\mu\text{m}$ のNチャネルMOSトランジスタを8個並列接続して入力保護回路を構成した場合でも、 3000V 以上の耐性を維持することができた。

【0027】

【発明の効果】本発明の第1の効果は、静電気破壊耐性を低下させることなく入出力保護回路部の集積度を向上することができることである。これは、MOSトランジスタのソース・ドレイン拡散層とソース・ドレイン電極取出部間に、ソース・ドレイン拡散層よりも低濃度の不純物拡散層を配設することで、静電気パルスによる熱破壊の防止に必要な抵抗値を小面積で実現できるからである。

【0028】本発明の第2の効果は、本発明をCMOS型半導体装置に適用した場合は、製造工程を増やすことなく所望の装置を作製することができることである。これは、一導電型MOSトランジスタ(例えばN型MOSトランジスタ)のソース・ドレイン拡散層とソース・ドレイン電極取出部間に配設する低濃度の不純物拡散層を、反対導電型MOSトランジスタ(例えばP型MOSトランジスタ)の基板電極の形成と同時に形成することができるためである。

【図面の簡単な説明】

【図1】本発明の半導体装置の説明図である。

(5)

7

【図2】本発明の半導体装置の説明図である。

【図3】本発明または従来の半導体装置を静電気保護のために入力部に適用した場合の回路図である。

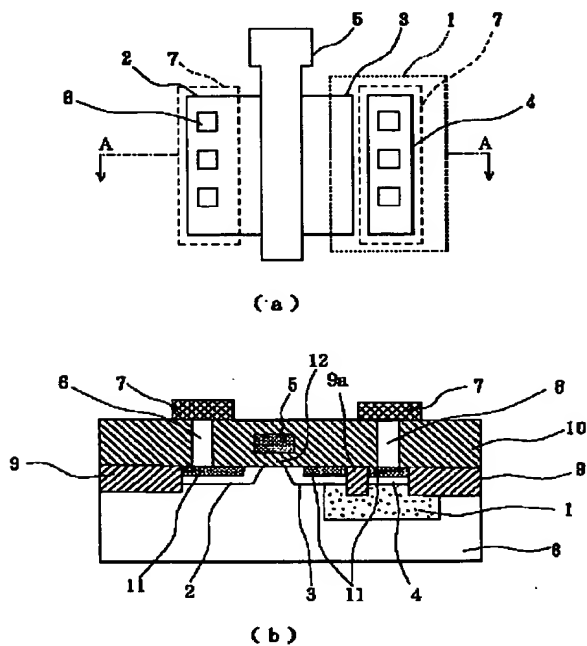
【図4】従来の半導体装置の説明図である。

【符号の説明】

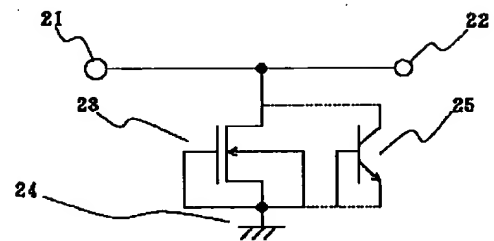
- 1 N型低濃度不純物拡散層
2 N型ソース拡散層
3 N型ドレイン拡散層
4 電極取出用N型ドレイン拡散層
5 NチャネルMOSトランジスタゲート電極
6 埋込コンタクト孔
7 金属配線
8 P型シリコン基板
9、9a 素子分離用絶縁膜

- 8
- 10 配線層間絶縁膜
11 高融点金属シリサイド層
12 ゲート絶縁膜
13 P型ソース拡散層
14 P型ドレイン拡散層
15 N型ウェル
16 PチャネルMOSトランジスタゲート電極
21 入力端子
22 出力端子
23 NチャネルMOSトランジスタ
24 接地端子
25 NPN寄生バイポーラトランジスタ
31 クビレ領域

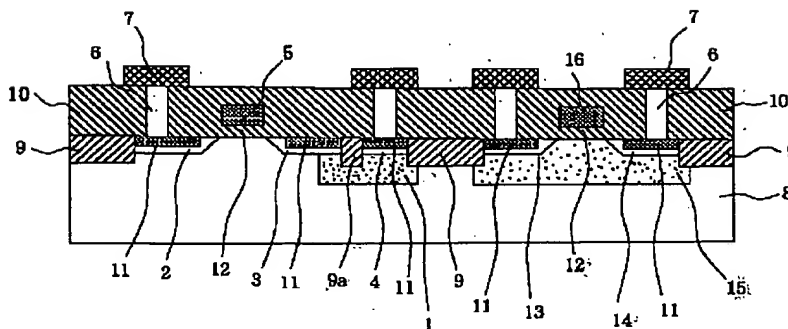
【図1】



【図3】



【図2】



(6)

【図4】

